

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ
РОССИЙСКОЙ ФЕДЕРАЦИИ
КАЗАНСКИЙ НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ
ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ им. А.Н. ТУПОЛЕВА

Кафедра радиоэлектроники и информационно-измерительной техники

ИССЛЕДОВАНИЕ ЦИФРОВЫХ ИНТЕГРАЛЬНЫХ СХЕМ
(Логические элементы)

Методические указания к лабораторной работе

Авторы-составители
Ю.К. Евдокимов, Р.Г. Насырова, Л.М. Урманчиев

Казань, 2013

УДК 681.325.65:621.382.049.77

Исследование цифровых интегральных схем (Логические элементы)

Методические указания к лабораторной работе / Авторы составители Ю.К. Евдокимов, Р.Г. Насырова, Л.М. Урманчеев. – Казань: КНИТУ им. А.Н. Туполева, 2013. – 10 с.

Работа предназначена для студентов факультетов радиотехнического, вечернего радиотехнического и приборостроительного и рассчитана на четыре академических часа.

Ил. – 4. Библиогр. – 3 назв.

Цель работы – ознакомление с принципом работы и основными характеристиками цифровых логических элементов, экспериментальное исследование статической характеристики, быстродействия элемента транзисторно-транзисторной логики (ТТЛ), синтез и исследование простейших комбинационных схем.

ВВЕДЕНИЕ

Функциональные узлы и блоки цифровых устройств строятся из элементов, выполняющих простейшие логические операции (чаще всего И-НЕ либо ИЛИ-НЕ). В процессе развития микроэлектроники выделилось несколько типов элементов, имеющих достаточно хорошие параметры и удобных для реализации в интегральной технологии, которые служат элементарной базой современных цифровых схем. К ним относятся элементы ТТЛ, включая элементы с диодами Шоттки, интегрально-инжекционная логика (И²Л), эмиттерно-связанной логики (ЭСЛ), МДП – транзисторной логики (МДПТЛ на p - либо n – канальных МДП – транзисторах, КМДПТЛ – на комплементарных МДП – транзисторах).

Большинство типов современных цифровых микросхем относятся к классу потенциальных. Для характеристики потенциальных микросхем используется следующая система параметров потенциалы, соответствующие 0 и 1: U^0 , U^1 ; порог переключения (чувствительности) $U_{пч}$ число входов m (коэффициент объединения по входу); входные токи: $I_{вх}^0$ при $U_{вх} = U^0$ и $I_{вх}^1$ при $U_{вх} = U^1$; коэффициент разветвления по выходу n (нагрузочная способность); помехоустойчивость по отношению к помехам положительной полярности $U_{\bar{1}}^+$ и отрицательной полярности $U_{\bar{1}}^-$; мощность P или ток $I_{номр}$, потребляемые от источника питания; времена задержек переключения $t_3^{0,1}$ из состояния «0» на выходе в состояние «1» и $t_3^{1,0}$ из состояния «1» в состояние «0».

Параметры цифровых схем определяются по их статическим и переходным характеристикам. Основной характеристикой схем является статическая характеристика $U_{\hat{a}\hat{b}\hat{o}} = f(U_{\hat{a}\hat{b}})$ – зависимость напряжения на выходе от напряжения на одном из входов при постоянных значениях напряжения (U^0 или U^1) на остальных входах.

ОПИСАНИЕ ЛАБОРАТОРНОГО МАКЕТА

В комплект в лабораторной установки входят:

- лабораторный макет;
- источник питания + 5В;
- осциллограф GOS-7630FC;
- генератор звуковых частот.

В данной работе исследуются ТТЛ-микросхемы серии К155.

На макете исследуемые логические схемы занимают левую часть лицевой панели. Соответствующие входы и выходы логических элементов выведены на коммутационные панельки X1, X2, на которых осуществляются все необходимые электрические соединения.

В правой части макета размещены ключи S1-S4 для задания логических переменных X1...X4. В верхнем положении ключей формируется логический сигнал «1» ($U^1 = +5B$), а в нижнем – сигнал «0» ($U^0 = 0B$). Выходы ключей соединены с гнездами панельки X3.

Состояние выходов логических схем можно индицировать с помощью четырех светодиодных индикаторов. Для этого управляющие входы индикаторов (6а, 6б, 7б, 8а) следует подключить к выходам следуемых элементов.

В макете имеется формирователь, который из сигнала генератора звуковых частот формирует импульсный сигнал положительной полярности ограниченной амплитуды + 5В.

Нагрузочные эквиваленты являются сопротивлениями, соответствующими входным сопротивлениям одного, пяти, десяти, пятнадцати и двадцати логических элементов.

Примечание. Если вход схемы свободен («висит в воздухе»), то это эквивалентно подаче логической единицы по данному входу. Для имитации сигнала «0» обязательно вход соединить с шиной «Земля».

Основы исследуемого класса элементов является использование многоэмиттерного транзистора T_M . От обычного транзистора многоэмиттерный транзистор отличается наличием нескольких (например, трех) эмиттерных областей с общими для всего транзистора базовыми и коллекторными слоями (рис. 1).

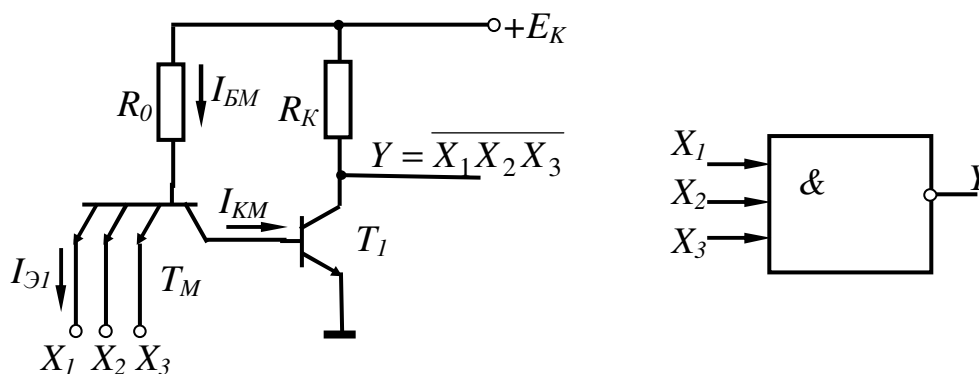
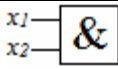
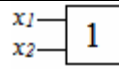
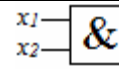
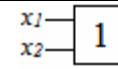


Рис.1.

При комбинации входных сигналов, когда на одном из входов (например, X_1) действует нулевое напряжение ($X_1=0$), ток через резистор R_0 замыкается по цепи эмиттера этого входа. В базу транзистора T_1 ток не ответвляется ($I_{KM}=0$), так как сопротивление база-эмиттер транзистора T_1 довольно велико. Транзистор T_1 закрыт. Сигнал на выходе $U_{K1} \approx E_K$, т.е. $Y=1$. Так будет и при нулевом сигнале на большем числе входов элемента.

При наличие на всех входах логической «1» (напряжений, близких $+E_K$) все эмиттерные переходы транзистора T_M , будут находиться под обратным напряжением, а коллекторный переход – под прямым. Ток I_{BM} будет обуславливать ток I_{KM} , направление которого показано на рисунке 1 стрелкой. Транзистор T_1 , будет открыт, его сигнал $U_{K1} \approx 0$, т.е. $Y=0$. Таким образом, схема рис.1 выполняет логическую операцию И-НЕ.

Для наглядного пояснения логических операций обычно строят таблицы, связывающие значения входных логических переменных X и выходной логической переменной Y . Такие таблицы называют таблицами истинности. Схемные обозначения и таблицы истинности логических элементов И, ИЛИ, И-НЕ, ИЛИ-НЕ приведены в таблице.

x_1	x_2	И	ИЛИ	И-НЕ	ИЛИ-НЕ
		$y = x_1 x_2$	$y = x_1 + x_2$	$y = \overline{x_1 x_2}$	$y = \overline{x_1 + x_2}$
0	0	0	0	1	1
0	1	0	1	1	0
1	0	0	1	1	0
1	1	1	1	0	0
Схемное обозначение					

МЕТОДИКА ИЗМЕРЕНИЙ ХАРАКТЕРИСТИК И ПАРАМЕТРОВ ИССЛЕДУЕМЫХ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ

Схема для осциллографического снятия статической характеристики логического элемента приведена на рис.2. При этом используется формирователь сигналов, имеющийся на макете.

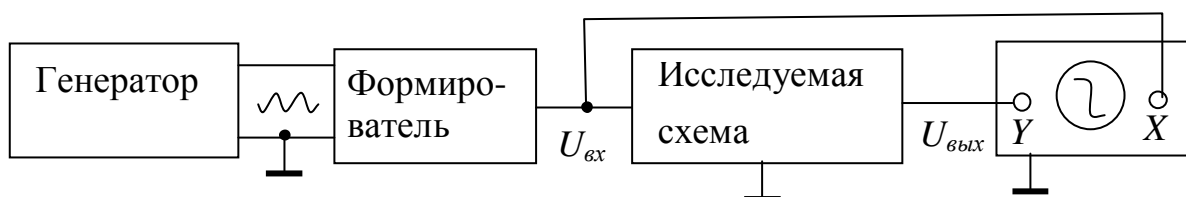


Рис.2

Типичная статическая характеристика исследуемого инвертирующего логического элемента показано на рис.3. Статическая характеристика имеет три характерных участка: I – соответствующий состоянию $U_{\hat{a}\hat{b}\hat{c}} = U^0$, II – состоянию $U_{\hat{a}\hat{b}\hat{c}} = U^1$, III – промежуточному состоянию. Порогом чувствительности (переключения) $U_{nc} = U_c$ называется напряжение в точке пересечения биссектрисы координатного угла с характеристикой передачи при одинаковых масштабах на осях координат, в этой точке $U_{\text{ввых}} = U_{\text{вх}}$. Границы участков U_a и U_b определяются по условию $K = \frac{\partial U_{\text{ввых}}}{\partial U_{\text{вх}}} = 1$, значения потенциала $U_{\text{вх}}$, соответствующие границам участков, называются порогами переключения $U_a = U_n^0$ и $U_b = U_n^1$, область между порогами – зоной неопределенности, $\Delta U_n = U_n^1 - U_n^0$ – ширина зоны неопределенности.

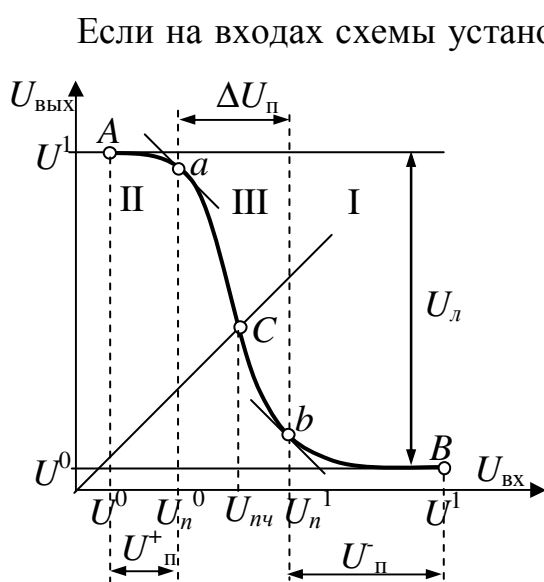


Рис. 3

Если на входах схемы установлены логические уровни U^0 или U^1 , то при поступлении положительной потенциальной помехи $U^+ > U_i^0 - U^0$ и отрицательной помехи $U^- > U^1 - U_i^1$ происходит ложное изменение информации на выходе: 0 вместо I или наоборот.

Максимально допустимая величина потенциальной помехи, не вызывающая сбоя в цифровой схеме, называется помехоустойчивостью и определяется выражениями (рис.3):

$$U_i^+ = U_n^0 - U^0; \quad (1)$$

$$U_i^- = U^1 - U_i^1; \quad (2)$$

$$U_i^+ + U_i^- = U_{\tilde{e}} - \Delta U_i, \quad (3)$$

где $U_{\tilde{e}} = U^1 - U^0$ - логический перепад.

Таким образом, для повышения помехоустойчивости надо увеличивать $U_{\tilde{e}}$ и уменьшать ΔU_i . Поэтому в цифровых схемах обеспечивают $\Delta U_n \ll U_{\tilde{e}}$, и приближенно можно считать $U_n^0 \approx U_n^1 \approx U_{i\tilde{e}}$.

Максимальная величина логического перепада ограничивается напряжением питания $U_{\tilde{e}} \leq E_n$, вследствие чего из (3) получаем $U_i^+ + U_i^- \leq E_n$.

Следовательно, сумма помехоустойчивости U_i^+ , U_i^- не превышает напряжение питания.

Задержки, характеризующие быстродействие цифровых схем, определяются с помощью переходных характеристик. Переходная характеристика ключа показывает время перехода из состояния "1" в состояние "0" и наоборот (рис. 5), где $t_3^{1,0}$, $t_3^{0,1}$ – время задержки при переходе напряжения на выходе ключа от напряжения логической единицы "1" к напряжению логического нуля "0" и от напряжения логического нуля "0" к напряжению логической единицы "1", измеренное на уровне $0,5$ логического перепада напряжения. Значения этих задержек главным образом зависит от числа микросхем, подключенных к выходу логического элемента и емкости нагрузки.

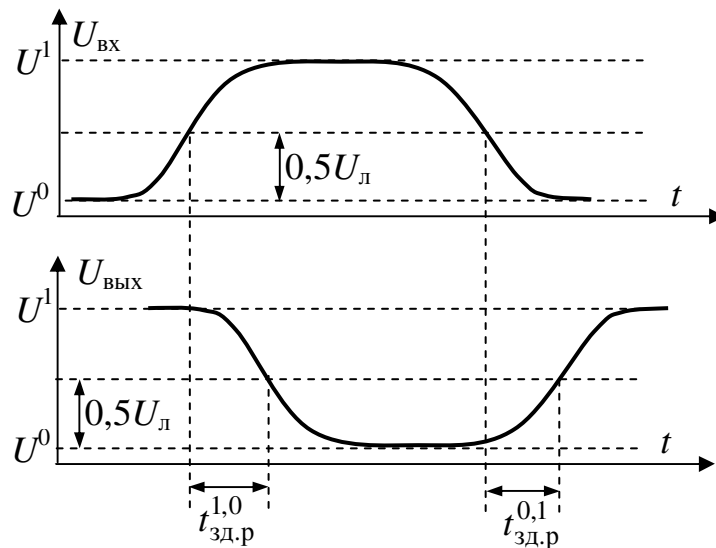


Рис. 4

Быстродействие оценивается средним временем задержки распространения, определяемого по формуле

$$t_3 = 0,5(t_3^{0,1} + t_3^{1,0}), \quad (4)$$

которая определяет среднее время выполнения логических операций.

Для инвертирующих схем t_3 можно определить экспериментально с помощью цепочки из нечетного числа последовательно соединенных схем,

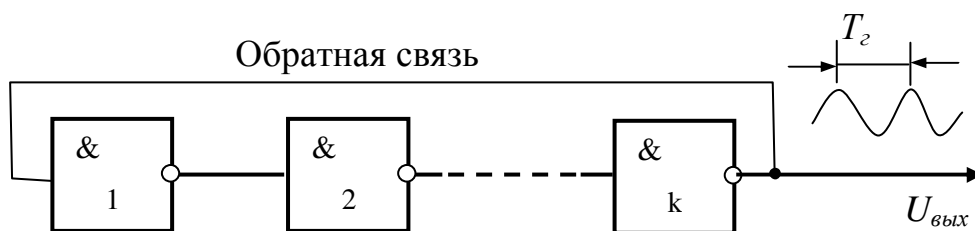


Рис.5

замкнутой в кольцо (рис.5). Наличие такой обратной связи приводит к неустойчивости, вследствие чего схема способна генерировать импульсы. Поэтому такое соединение схем называется кольцевым генератором. Так как период генерируемых импульсов равен времени циркулирования по кольцу двух логических сигналов «0» и «1», то его длительность равна $\dot{O}_{\bar{a}} = 2kt_3$.

Таким образом, значение t_3 можно определить, измеряя период T_2 или частоту f_2 кольцевого генератора:

$$t_3 = T_{\bar{a}}/2k = \frac{1}{2}kf_{\bar{a}}. \quad (5)$$

Обычно используют кольцевые генераторы, содержащие $k = 5..9$ схем. Такой косвенный метод измерения t_3 обычно применяется, когда непосредственное измерение t_3 по осциллографу, вследствие большого быстродействия микросхемы, затруднено.

ПОРЯДОК ВЫПОЛНЕНИЯ РАБОТЫ

ЗАДАНИЕ I. Исследование статической характеристики инвертирующего элемента:

а) установить частоту 1 кГц и напряжение на выходе генератора звуковых частот $U_{\bar{a}} = 4\text{В}$;

б) собрать схему (рис.2) для снятия осциллографическим способом характеристик $U_{\text{вых}} = f(U_{\text{вх}})$;

в) включить осциллограф, установить режим работы «X-Y», поставить ручки регулировки масштабов в положение "cal", подключить к выходу схемы канал 2 осциллографа, к входу – канал 1;

г) снять четыре статические характеристики инвертора, соответствующие нагрузкам $n=0$, $n=1$, $n=5$, $n=10$, подключая к выходу элемента нагрузочные эквиваленты, указав положение осей координат и масштабы напряжений;

Примечание. Размер изображения по вертикали соответствует амплитуде напряжения на выходе исследуемого элемента. Размер изображения по горизонтали соответствует амплитуде напряжения на входе исследуемого элемента. Масштабные коэффициенты показаны на дисплее осциллографа. Регулируя масштабные коэффициенты каналов X и Y осциллографа, установить оптимальную величину изображения на экране. Ось Y совместить с одной из вертикальных линий сетки экрана, ось X – с одной из горизонтальных линий. Положение оси Y определяется при заземлении входа канала 1 ($U_{\text{вх}}=0$), оси X – при заземлении входа канала 2 ($U_{\text{вых}}=0$).

д) сравнить характеристики и сделать выводы.

ЗАДАНИЕ 2. Исследование статической характеристики неинвертирующего логического элемента:

а) собрать схему как на рис.2, включив вместо исследуемого элемента схему ИЛИ;

б) аналогично пунктам задания I снять статическую характеристику $U_{вых} = f(U_{вх})$ для случая $n=0$;

в) сравнить полученную характеристику со статической характеристикой (задание I, п. «г»). Сделать выводы.

ЗАДАНИЕ 3. Определение помехоустойчивости логического элемента:

а) определить помехоустойчивость по полученным в задании I статическим характеристикам. По характеристикам определяются значения $U_n^0, U_n^1, U_{нч}, U^0, U^1, U_{\bar{e}}, U_i^+, U_n^-$ для двух нагрузочных эквивалентов $n=1, n=5$;

б) сравнить помехоустойчивость для случаев $n=1$ и $n=5$. Сделать выводы.

ЗАДАНИЕ 4. Измерение средней задержки логического элемента:

а) составить электрическую схему кольцевого генератора (рис.5), из пяти последовательно соединенных элементов И-НЕ;

б) собрать схему макета;

в) подключив осциллограф к выходу одного из элементов кольцевого генератора, измерить длительность периода T_2 генерируемых импульсов и определить, согласно (5), задержку t_3 .

ЗАДАНИЕ 5. Проверка логических функций цифровых элементов:

а) составить таблицу истинности для трехвходного логического элемента ЗИ-НЕ;

б) экспериментально проверить таблицу истинности для схемы ЗИ-НЕ.

Для проверки к трем входам логического элемента следует подключить выходы ключей $S_1 - S_3$, с помощью которых имитируются логические переменные X1, X2, X3. К выходу элемента ЗИ-НЕ подключить светодиодный индикатор.

ЗАДАНИЕ 6. Синтез и исследование комбинационной логической схемы:

а) составить из имеющихся на макете логических элементов схему, реализующую одну из заданных ниже логических функций $y = f(x_1, x_2, x_3)$;

Примечание. Каждый студент выполняет свой индивидуальный вариант из заданных 22 вариантов. Номер варианта соответствует порядковому номеру студента в журнале преподавателя;

б) показать для проверки преподавателю составленную логическую схему. Составить таблицу истинности для синтезированной схемы. После проверки преподавателя собрать схему на макете и снять экспериментально таблицу истинности. Для задания входных логических переменных использовать ключи $S_1 - S_3$. Индикацию состояния выхода осуществить с помощью светодиодного индикатора.

Варианты задания

1) $y = \overline{\overline{x_1 x_2 x_3}} + x_1$;	2) $y = \overline{\overline{x_1 x_2 x_3}} + \overline{x_1 x_2}$;	3) $y = \overline{\overline{x_1 x_2 (x_1 + x_2 + x_3)}}$;
4) $y = \overline{\overline{x_1 x_2 x_3}} + x_1$;	5) $y = \overline{x_1 + x_2 x_3}$;	6) $y = \overline{\overline{x_1 x_2 x_3}} + x_1$;
7) $y = x_1 (\overline{x_2 + x_3})$;	8) $y = \overline{x_1 + x_2 x_3}$;	9) $y = \overline{x_1 x_2 + x_2 x_3}$;
10) $y = (\overline{x_1 + x_2}) x_3$;	11) $y = \overline{x_1 + x_2 x_3}$;	12) $y = \overline{x_1 x_2 + x_2 x_3 + x_1 x_3}$;
13) $y = (\overline{x_1 + x_2}) x_2 x_3$;	14) $y = \overline{x_1 x_2 + x_2 x_3}$;	15) $y = \overline{x_1 + x_2 + x_2 x_3}$;
16) $y = \overline{x_1 x_2 + x_2 + x_3}$;	17) $y = \overline{x_1 + x_2 x_3}$;	18) $y = \overline{\overline{x_1 + x_1 x_2 x_3}}$;
19) $y = \overline{x_1 x_2 x_3 + x_1 x_3}$;	20) $y = \overline{x_1 x_3 + x_1 x_2}$;	21) $y = \overline{x_1 x_2 + x_2 x_3}$;
22) $y = \overline{x_1 x_2 x_3 + x_1 x_2 x_3}$;		

Отчет о работе должен содержать:

- схемы измерений, соответствующие заданиям (5 схем);
- статические характеристики;
- рассчитанные значения параметров логического элемента;
- таблица истинности (задание 5, 6);
- краткий анализ результатов.

Библиографический список

1. Степаненко И.П. Основы микроэлектроники. Учебное пособие для вузов. – М.: Лаборатория Базовых Знаний, 2-е изд., 2001; 3-е изд., 2004.
2. Агаханян Т.М. Интегральные микросхемы. – М.: Энергоатомиздат, 1983, с.253-260, с.278-293.
3. Аванесян Г.Р. Цифровые интегральные микросхемы: справочное пособие. – М.: Радиотехника, 2008.